

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-252817

(P2000-252817A)

(43) 公開日 平成12年9月14日 (2000.9.14)

(51) Int.Cl.⁷

識別記号

F I

テーマト* (参考)

H 0 3 L 7/093

H 0 3 L 7/08

E 5 J 1 0 6

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平11-54900

(22) 出願日 平成11年3月3日 (1999.3.3)

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 小滝 宏一

東京都千代田区内幸町二丁目2番3号 川崎製鉄株式会社東京本社内

(74) 代理人 100080458

弁理士 高矢 諭 (外2名)

Fターム(参考) 5J106 AA04 CC01 CC21 CC31 DD13

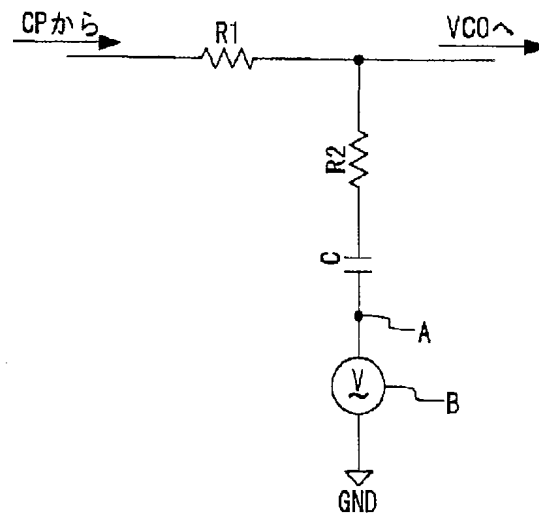
DD32 GG07 HH10 KK22 LL04

(54) 【発明の名称】 PLL回路

(57) 【要約】

【課題】 EMIピークエネルギーを低減することで、EMIによる悪影響を低減する。

【解決手段】 PLL回路の電圧制御発振器VCOの入力に設ける、位相周波数比較回路の出力から直流成分ないしは低周波数成分を抽出するループ・フィルタLFが、抵抗R1及びR2と、コンデンサCとで構成されている。ノードAから、電圧制御発振器VCOから出力されるクロック信号より周波数が低い揺動変調信号を入力することで、電圧制御発振器VCOに対する制御信号を変化させ、電圧制御発振器VCOが出力するクロック信号を揺動させる。これにより、スペクトルを分散し、EMIピークエネルギーを低減する。



【特許請求の範囲】

【請求項1】電圧制御発振回路で信号を発振すると共に、該電圧制御発振回路から得られる信号をフィードバックし、位相周波数比較回路で基準信号と位相を比較するようにしたPLL回路において、前記電圧制御発振回路の入力に設ける、前記位相周波数比較回路の出力から直流成分ないしは低周波数成分を抽出するループフィルタ回路のグラウンド・ノードから、前記電圧制御発振回路から出力される信号より周波数が低い揺動変調信号を入力するようにしたことを特徴とするPLL回路。

【請求項2】請求項1に記載のPLL回路において、前記揺動変調信号を、PLL回路が元々有する分周回路の信号を利用して得るようにしたことを特徴とするPLL回路。

【請求項3】請求項1に記載のPLL回路において、前記揺動変調信号を、外部から供給するようにしたことを特徴とするPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ループ・フィルタ（Loop Filter：LF）のグラウンド・ノードに変調波を与えることで電圧制御発振器（Voltage Controlled Oscillator：VCO）の発振周波数に揺らぎを与え、EMI（EMI：Electromagnetic Interference）スペクトルの分散を図ることができるPLL（Phase-lock Loop）回路に関する。

【0002】

【従来の技術】近年では、マイクロプロセッサなどの半導体集積回路は、これを搭載するボード上のクロック信号を入力しながら、その内部回路は該クロック信号の整数倍又は分数倍の周波数のクロック信号で動作している。このような半導体集積回路内部のクロック信号を、外部から供給されるクロック信号から生成するために、PLL回路が用いられている。

【0003】まず基本的なPLL回路の構成とその動作及び用途について説明する。

【0004】図1に基本的なPLL回路の構成をブロック図で示す。

【0005】本PLL回路に電源が投入されると、あるいは動作開始を指示する図示されない信号が入力されると、本PLL回路は動作を開始する。その際、電圧制御発振器VCOは自走発振をはじめ、OUTCLK端子にクロック信号を出力する。このクロック信号OUTCLKは、通信用の符号7の分周器DIV（Divider）を通り、フィードバック・クロック信号FCLKとなる。

【0006】位相周波数比較器PFD（Phase & Frequency Detector）には、クロック信号FCLKと共に、周波数の基準となるクロック信号REFCLKも入力されている。これら信号の位相及び周波数が、該位相周波

数比較器PFDにおいて比較される。該比較により、位相周波数比較器PFDは、2つのクロック信号間の、位相及び周波数の誤差を検出する。そして、該誤差に応じた補正信号の出力が、位相周波数比較器PFDからチャージ・ポンプCP（Charge Pump）に入力される。チャージ・ポンプCPは、位相周波数比較器PFDからの入力に応じたレベル（電圧）の補正信号を出力する。該チャージ・ポンプCPは、誤差に応じたパルス信号である位相周波数比較器PFDの出力を、誤差に応じたレベル（電圧）の信号に変換する。

【0007】ここで、符号5で示すような、位相周波数比較器PFD及びチャージ・ポンプCPの部分において、電圧制御発振器VCOから得られるクロック信号OUTCLKを分周しフィードバックしたクロック信号FCLKと、基準のクロック信号REFCLKとの、位相及び周波数を比較する位相周波数比較回路が構成されている。該位相周波数比較回路5が出力する信号、即ちチャージ・ポンプCPが出力する信号は、位相及び周波数の誤差に応じた電圧の信号である。

【0008】又、該信号は、ループ・フィルタLF（Loop Filter）でDC信号（DCレベル）に変換され、電圧制御発振器VCOの制御信号となる。そして該制御信号のレベル（電圧）により、電圧制御発振器VCOは発振周波数を変化させる。

【0009】更に、電圧制御発振器VCOの出力する、このように制御されるクロック信号OUTCLKは、分周器DIVに入力され、該分周器DIVはクロック信号FCLKを出力して、上述の処理を繰り返す。この一連の動作の繰り返しによりFCLKの位相、及び周波数は、クロック信号REFCLKのものと一致するようになる。

【0010】

【発明が解決しようとする課題】回路内で電流が生じた場合、その電流に依存した電磁波が輻射される。最近の動作周波数の高速化においては、このように輻射される電磁波により、他の電子機器が妨害を受ける度合いが増加する傾向が知られており、大きな問題となっている。

【0011】特に一定の周波数のクロックを刻む回路においては、輻射される電磁波の周波数スペクトルの特定周波数において、鋭いピークが生じる。このため、悪影響を及ぼし易いEMIエネルギーが大きくなり、他の機器への妨害を引き起こしやすくなる。

【0012】本発明は、前記従来の問題点を解決するべくなされたもので、EMIピークエネルギーを低減することで、EMIによる悪影響を低減することができるPLL回路を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明は、電圧制御発振回路で信号を発振すると共に、該電圧制御発振回路から得られる信号をフィードバックし、位相周波数比較回路

10

20

30

40

50

で基準信号と位相を比較するようにした PLL 回路において、前記電圧制御発振回路の入力に設ける、前記位相周波数比較回路の出力から直流成分ないしは低周波数成分を抽出するループフィルタ回路のグラウンド・ノードから、前記電圧制御発振回路から出力される信号より周波数が低い揺動変調信号を入力するようにしたことにより、前記課題を解決したものである。

【0014】又、前記 PLL 回路において、前記揺動変調信号を、PLL 回路が元々有する分周回路の信号を利用して得るようにしたことにより、本発明を適用する際に必要とする素子の数を低減することができる。

【0015】更に、前記 PLL 回路において、前記揺動変調信号を、外部から供給するようにしたことにより、外部に揺動変調信号に利用できる信号がある場合、該信号を活用し、本発明を適用する際に必要となる素子の数を低減することができる。

【0016】以下、本発明の作用について、簡単に説明する。

【0017】本発明では、電圧制御発振回路で信号を発振すると共に、該電圧制御発振回路から得られる信号をフィードバックし、位相周波数比較回路で基準信号と位相を比較するようにした PLL 回路の特徴に注目している。本発明では、電圧制御発振回路の入力に設ける、位相周波数比較回路の出力から直流成分ないしは低周波数成分を抽出するループフィルタ回路のグラウンド・ノードから、電圧制御発振回路から出力される信号より周波数が低い揺動変調信号を入力する。即ち、本発明においては、ループ・フィルタ回路を、位相周波数比較回路の出力に対して揺動変調信号を加算する加算器として用いている。

【0018】これにより、ループ・フィルタのグラウンド・ノードに変調波を与え、電圧制御発振器の制御信号を揺らすことで、電圧制御発振器の発信周波数を分散させ、EMI エネルギーの特定周波数でのピークを低減させる。このように、EMI ピークエネルギーを低減することで、EMI による悪影響を低減することができる。

【0019】クロック信号の電力のスペクトルは、多くの高調波を含んでいる。本発明により PLL 回路が出力するクロック信号の周波数を揺動させると、このような高調波においては、該クロック信号の基本波に比較して、その周波数の揺動は大きくなり、電力のスペクトルは幅広く分散されやすい。従って、このような高調波では、EMI ピークエネルギーが効果的に低減され、EMI による悪影響も効果的に低減される。

【0020】

【発明の実施の形態】以下、図を用いて本発明の実施の形態を詳細に説明する。

【0021】図 2 は、本発明が適用された実施形態の PLL 回路における要部の回路図である。

【0022】この図では、本実施形態における、本発明

の適用部分であるループ・フィルタ LF が示される。該ループ・フィルタ LF は、抵抗 R1 及び R2 と、コンデンサ C との時定数で定まる、ローパス・フィルタとして機能する。本実施形態ではループ・フィルタ LF として、ラグ・リード型を示している。しかしながら、他の種類のフィルタを用いても、同様の効果が得られる。

【0023】図 2 においてノード A を接地し、図 3 のようにすると、従来の図 1 のループ・フィルタ LF と同等になる。そして、図 3 のものを用いると、従来の PLL 回路と同じ動作をする。ノード A は、図 3 から明らかのように、このように従来と同等に動作させる場合、グラウンド GND に接続されるので、グラウンド・ノードと呼ぶことにする。

【0024】このノード A とグラウンド GND との間に、図 2 の符号 B で示される、本発明で揺動変調信号と称する信号を入力する。該信号は、電圧制御発振器 VCO から出力される信号より周波数が低い信号である。該揺動変調信号は、PLL 回路自身が発生する、もしくは外部で生成した、所定の周波数／振幅の変調波である。

【0025】このように揺動変調信号を与えると、抵抗 R1 及び R2 の比に応じ、チャージ・ポンプ CP からの信号に揺動変調信号が加算され、電圧制御発振器 VCO に出力する信号に変調が加えられる。加算後の、チャージ・ポンプ CP からの信号と、揺動変調信号との電圧比は、ほぼ、 $\{(R2 / (R1 + R2)) : (R1 / (R1 + R2))\}$ である。又、このように揺動変調信号で変調し制御信号を変化させることで、電圧制御発振器 VCO の発信周波数を変化させ、ほぼ揺動変調信号の周波数でクロック信号 OUTCLK を揺動させることができる。

【0026】PLL 回路は、発振周波数をフィードバック制御するフィードバック回路である。このため、フィードバックを受けて、クロック信号 FBCLK の周波数・位相をクロック信号 RECLK に一致させる方向に、回路動作が作用する。このような作用は、上述した揺動変調信号によるクロック信号 OUTCLK の揺動を抑えることになる。

【0027】このような揺動を抑制する作用を低減するためには、ループ・フィルタ LF の定数を重くし、チャージ・ポンプ CP の駆動能力を小さくし、フィードバックの効果を弱くする必要がある。このようにフィードバック効果を低下させることで、発振周波数が分散したクロック信号 OUTCLK のスペクトルが得られる。これによって、発振周波数が分散しているため特定の周波数の電磁波が強く輻射されることを防ぐことが出来る。

【0028】なお、本発明では、揺動変調信号をどのように得るかについて特に限定するものではない。例えば、該揺動変調信号を、PLL 回路の外部から供給してもよい。あるいは、該揺動変調信号を、PLL 回路の内部で生成してもよい。内部で生成する場合、例えば図 1

の符号7Aのように、PLL回路の内部に新たに分周器DIVを設けて、該分周器DIVにより揺動変調信号を生成し、ループ・フィルタLFに供給してもよい。あるいは、符号7の分周器DIVで既に分周されたクロック信号を、更に必要なだけ分周するために、符号7Bのように設けた分周器DIVにより揺動変調信号を生成し、ループ・フィルタLFに供給してもよい。

【0029】ここで、同一周波数のクロック信号OUTCLKから、同一周波数の揺動変調信号を得ることを前提とする。該前提において、符号7Aの分周器DIVに比べ、符号7の分周器DIVも共に用いている分だけ符号7Bの分周器DIVは、分周数が少なく、素子数が少なくなる。

【0030】なお、本発明において、揺動変調信号の周波数を特に限定するものではない。該周波数は、PLL回路全体における、クロック信号OUTCLKのフィードバック制御のループゲインを考慮して決定することもできる。又、該揺動変調信号による変調の深さ、即ちループ・フィルタLFによる加算後の、チャージ・ポンプCPからの信号と、揺動変調信号との電圧比を特に限定するものではない。なお、本実施形態においては、揺動変調信号の周波数を、クロック信号OUTCLKの周波数の $(1/1000)$ とした場合、EMIによる悪影響の低減の、良好な効果が得られることが確認されている。

【0031】図4は、クロック信号OUTCLKのスペクトルを示すグラフである。

【0032】この図において、横軸は、クロック信号OUTCLKの目標発振周波数を1とする、正規化された周波数を示す。一点鎖線により、図1のPLL回路のループ・フィルタLFに図2のものを用いた、本発明が適用された本実施形態のスペクトルが示される。二点鎖線により、図1のPLL回路のループ・フィルタLFに図3のものを用いた、本実施形態に対する比較例のスペクトルが示される。なお、縦軸は、該比較例におけるスベ

クトルのピークを1として正規化した、信号の電力である。

【0033】この図から明らかなように、比較例に対して、本実施形態ではスペクトルのピーク電力が $(1/3)$ 以下になっている。このように、本実施形態では本発明を効果的に適用することができる。従って、EMIピークエネルギーを低減することで、EMIによる悪影響を低減することができる。

【0034】

【発明の効果】本発明によれば、EMIピークエネルギーを低減することで、EMIによる悪影響を低減することができる。まず、PLL回路の定常動作時に、当該PLL回路自身から輻射されるEMIピークエネルギーを低減できる。更には、該PLL回路は、多くの回路で利用されるクロック信号の供給源になっていることから、同PLL回路のクロック信号で動作する他の回路において、各部の信号の動作周波数も揺動され、これら信号の電力のスペクトルが分散されるため、システム全体のEMIエネルギーの低減が効果的に図られる。

【図面の簡単な説明】

【図1】基本的なPLL回路の構成を示すブロック図

【図2】本発明が適用された実施形態のPLL回路における要部のループ・フィルタの回路図

【図3】上記ループ・フィルタの比較例の回路図

【図4】前記実施形態のPLL回路が出力するクロック信号のスペクトルを示すグラフ

【符号の説明】

5…位相周波数比較回路

PFD…位相周波数比較器

CP…チャージ・ポンプ

LF…ループ・フィルタ

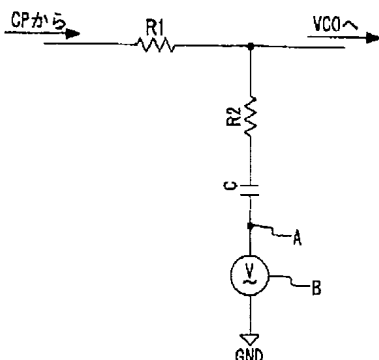
VCO…電圧制御発振器

DIV…分周器

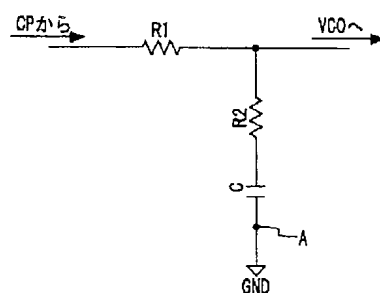
R1、R2…抵抗

C…コンデンサ

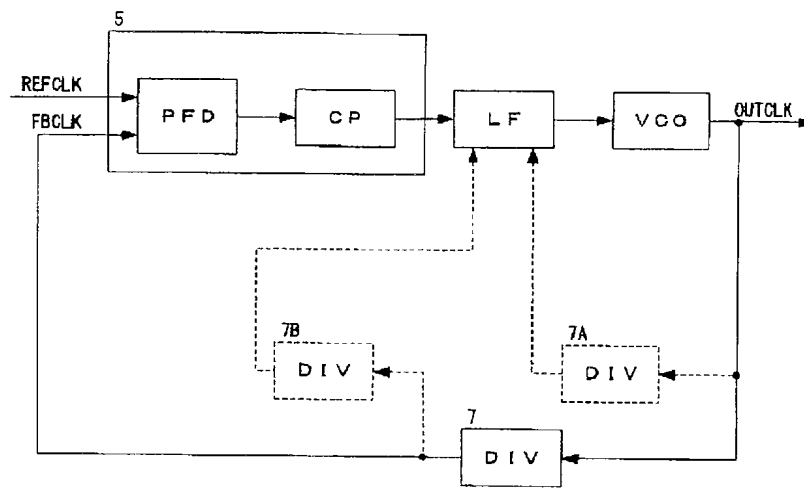
【図2】



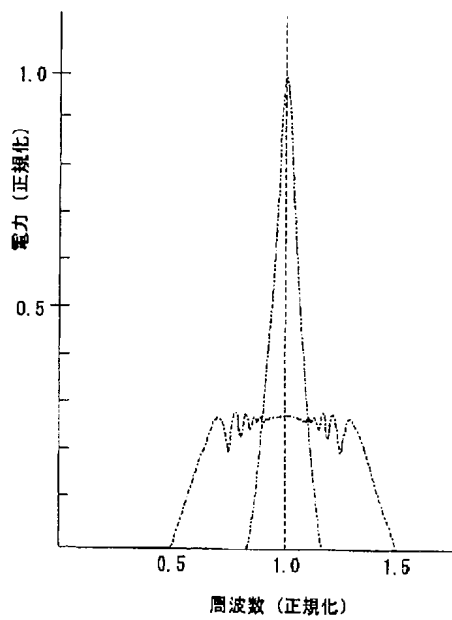
【図3】



【図1】



【図4】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-252817

(43)Date of publication of application : 14.09.2000

(51)Int.Cl.

H03L 7/093

(21)Application number : 11-054900

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 03.03.1999

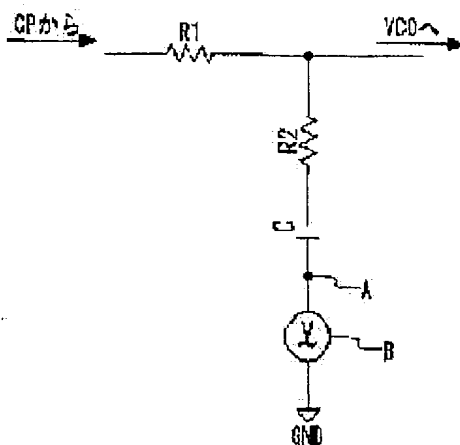
(72)Inventor : KOTAKI KOICHI

(54) PLL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce adverse effects due to electromagnetic interference EMI by reducing EMI peak energy.

SOLUTION: A loop filter LF that extracts a DC component and a low-frequency component from the output of a phase frequency comparator circuit provided for an input of a voltage-controlled oscillator VCO of this PLL circuit consists of resistors R1, R2 and a capacitor C. A control signal applied to the voltage-controlled oscillator VCO is changed by giving a fluctuation modulated signal, whose frequency is lower than that of a clock signal outputted from the voltage controlled oscillator VCO, to a node A so as cause a clock signal outputted by the voltage controlled oscillator VCO to fluctuate. Thus, the spectrum is spread and reduce the EMI peak energy is reduced.



LEGAL STATUS

[Date of request for examination]

27.04.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the PLL circuit feeds back the signal acquired from this armature-voltage control oscillator circuit, and it was made to compare a reference signal with a phase in a phase frequency comparison circuit while oscillating the signal in the armature-voltage control oscillator circuit From the grand node of a loop filter circuit which extracts a dc component or a low frequency component from the output of said phase frequency comparison circuit established in the input of said armature-voltage control oscillator circuit The PLL circuit characterized by inputting a splash modulating signal with a frequency lower than the signal outputted from said armature-voltage control oscillator circuit.

[Claim 2] The PLL circuit characterized by enabling it to use the signal of the frequency divider where a PLL circuit has said splash modulating signal from the first in a PLL circuit according to claim 1.

[Claim 3] The PLL circuit characterized by supplying said splash modulating signal from the outside in a PLL circuit according to claim 1.

[Translation done.]

* NOTICES *

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention gives fluctuation to the oscillation frequency of a voltage controlled oscillator (Voltage Controlled Oscillator:VCO) by giving a modulated wave to the grand node of a loop filter (Loop Filter:LF), and relates to the PLL (Phase-lock Loop) circuit which can aim at distribution of an EMI (EMI:Electromagnetic Interference) spectrum.

[0002]

[Description of the Prior Art] In recent years, while semiconductor integrated circuits, such as a microprocessor, input the clock signal on the board which carries this, the internal circuitry is operating with the integral multiple of this clock signal, or the clock signal of one times the frequency of a fraction. The PLL circuit is used in order to generate the clock signal inside such a semiconductor integrated circuit from the clock signal supplied from the outside.

[0003] The configuration and actuation of a fundamental PLL circuit, and an application are explained first.

[0004] A block diagram shows the configuration of a PLL circuit fundamental to drawing 1 .

[0005] If a power source is supplied to this PLL circuit, or if the signal which directs initiation of operation and which is not illustrated is inputted, this PLL circuit will start actuation. In that case, a voltage controlled oscillator VCO begins a self-propelled oscillation, and outputs a clock signal to OUTCLK terminal. this clock signal OUTCLK -- the counting-down circuit DIV (Divider) of the sign 7 for multiplying -- a passage -- feedback clock signal FBCLK -- becoming .

[0006] Clock signal REFCLK which serves as criteria of a frequency with clock signal FBCLK is also inputted into the phase frequency comparator PFD (Phase&Frequency Detector). The phase and frequency of these signals are compared in this phase frequency comparator PFD. By this comparison, the phase frequency comparator PFD detects the error of the phase and frequency between two clock signals. And the output of the amendment signal according to this error is inputted into the charge pump CP (Charge Pump) from the phase frequency comparator PFD. The charge pump CP outputs the amendment signal of the level (electrical potential difference) according to the input from the phase frequency comparator PFD. This charge pump CP changes into the signal of the level (electrical potential difference) according to an error the output of the phase frequency comparator PFD which is a pulse signal according to an error.

[0007] Here, in the part of the phase frequency comparator PFD and the charge pump CP as shown with a sign 5, the phase frequency comparison circuit which compares the phase and frequency of clock signal FBCLK which carried out dividing of the clock signal OUTCLK obtained from a voltage controlled oscillator VCO, and fed it back, and clock signal REFCLK of criteria is constituted. The signal which this phase frequency comparison circuit 5 outputs, i.e., the signal which the charge pump CP outputs, is a signal of the electrical potential difference according to the error of a phase and a frequency.

[0008] Moreover, this signal is changed into DC signal (DC level) with a loop filter LF (Loop Filter), and turns into a control signal of a voltage controlled oscillator VCO. And with the level (electrical potential difference) of this control signal, a voltage controlled oscillator VCO changes an oscillation frequency.

[0009] Furthermore, clock signal OUTCLK which a voltage controlled oscillator VCO outputs and which is controlled in this way is inputted into a counting-down circuit DIV, and this counting-down circuit DIV outputs clock signal FBCLK, and repeats above-mentioned processing. The phase of FBCLK and a frequency come to be in agreement with the thing of clock signal REFCLK with the repeat of actuation of this single string.

[0010]

[Problem(s) to be Solved by the Invention] When a current arises in a circuit, the electromagnetic wave depending on the current is radiated. In improvement in the speed of the latest clock frequency, the inclination which the degree in which other electronic equipment receives active jamming increases by the electromagnetic

wave radiated in this way is known, and it has been a big problem.

[0011] In the circuit which minces the clock of a fixed frequency especially, a sharp peak arises in the specific frequency of the frequency spectrum of the electromagnetic wave radiated. For this reason, the EMI energy which is easy to do an adverse effect becomes large, and it becomes easy to cause the active jamming to other devices.

[0012] This invention was made so that it may solve said conventional trouble, and it aims at offering the PLL circuit which can reduce the adverse effect by EMI by reducing EMI peak energy.

[0013]

[Means for Solving the Problem] In the PLL circuit this invention feeds back the signal acquired from this armature-voltage control oscillator circuit while oscillating a signal in an armature-voltage control oscillator circuit, and it was made to compare a reference signal with a phase in a phase frequency comparison circuit. From the grand node of a loop filter circuit which extracts a dc component or a low frequency component from the output of said phase frequency comparison circuit established in the input of said armature-voltage control oscillator circuit. Said technical problem is solved by having inputted the splash modulating signal with a frequency lower than the signal outputted from said armature-voltage control oscillator circuit.

[0014] Moreover, in said PLL circuit, the number of the components needed in case this invention is applied can be reduced by having enabled it to use the signal of the frequency divider where a PLL circuit has said splash modulating signal from the first.

[0015] Furthermore, in said PLL circuit, when the signal which can be used for a splash modulating signal is outside by having supplied said splash modulating signal from the outside, this signal can be utilized and the number of the components which are needed in case this invention is applied can be reduced.

[0016] Hereafter, an operation of this invention is explained briefly.

[0017] In this invention, while oscillating a signal in an armature-voltage control oscillator circuit, the signal acquired from this armature-voltage control oscillator circuit is fed back, and the description of the PLL circuit it was made to compare a reference signal with a phase in a phase frequency comparison circuit is observed. In this invention, a splash modulating signal with a frequency lower than the signal outputted from an armature-voltage control oscillator circuit is inputted from the grand node of a loop filter circuit which extracts a dc component or a low frequency component from the output of the phase frequency comparison circuit established in the input of an armature-voltage control oscillator circuit. That is, in this invention, the loop-formation filter circuit is used as an adder which adds a splash modulating signal to the output of a phase frequency comparison circuit.

[0018] Thereby, a modulated wave is given to the grand node of a loop filter, by swaying the control signal of a voltage controlled oscillator, the dispatch frequency of a voltage controlled oscillator is distributed and the peak in the specific frequency of EMI energy is reduced. Thus, the adverse effect by EMI can be reduced by reducing EMI peak energy.

[0019] The spectrum of the power of a clock signal includes many higher harmonics. If the frequency of the clock signal which a PLL circuit outputs by this invention is made to rock, as compared with the fundamental wave of this clock signal, the splash of the frequency will become large and the spectrum of power will be easy to be distributed in such a higher harmonic broadly. Therefore, in such a higher harmonic, EMI peak energy is reduced effectively and the adverse effect by EMI is also reduced effectively.

[0020]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail using drawing.

[0021] Drawing 2 is the circuit diagram of the important section in the PLL circuit of an operation gestalt where this invention was applied.

[0022] The loop filter LF which is the application part of this invention in this operation gestalt is shown by this drawing. This loop filter LF functions as resistance R1 and R2 as a low pass filter which becomes settled in a time constant with Capacitor C. This operation gestalt shows the lug reed-type as a loop filter LF. However, the same effectiveness is acquired even if it uses the filter of other classes.

[0023] If Node A is grounded in drawing 2 and it carries out like drawing 3, it will become equivalent to the loop filter LF of conventional drawing 1. And if the thing of drawing 3 is used, the same actuation as the conventional PLL circuit will be carried out. Since Node A connects with Gland GND when operating it on a par with the former in this way so that clearly from drawing 3, it will be called a grand node.

[0024] The signal which is shown with the sign B of drawing 2 between this Node A and Gland GND and which is called a splash modulating signal by this invention is inputted. This signal is a signal with a frequency lower than the signal outputted from a voltage controlled oscillator VCO. The PLL circuit itself occurs or this splash modulating signal is the modulated wave of predetermined frequency/amplitude generated externally.

[0025] Thus, if a splash modulating signal is given, according to the ratio of resistance R1 and R2, a splash modulating signal will be added to a signal from the charge pump CP, and a modulation will be added to the signal outputted to a voltage controlled oscillator VCO. The voltage ratio of the signal from the charge pump CP after addition and a splash modulating signal is $\{(R2/(R1+R2)) : (R1/(R1+R2))\}$ mostly. Moreover, the dispatch frequency of a voltage controlled oscillator VCO can be changed by becoming irregular with a splash modulating signal in this way, and changing a control signal, and clock signal OUTCLK can be made to rock on the frequency of a splash modulating signal mostly.

[0026] A PLL circuit is a feedback circuit which carries out feedback control of the oscillation frequency. For this reason, in response to feedback, circuit actuation acts in the direction which makes the frequency and phase of clock signal FBCLK in agreement with clock signal REFCLK. Such an operation will suppress the splash of clock signal OUTCLK by the splash modulating signal mentioned above.

[0027] In order to reduce the operation which controls such a splash, it is necessary to make the constant of a loop filter LF heavy, to make actuation capacity of the charge pump CP small, and to weaken effectiveness of feedback. Thus, by reducing a feedback effect, the spectrum of clock signal OUTCLK which the oscillation frequency distributed is obtained. By this, since the oscillation frequency is distributing, it can prevent radiating the electromagnetic wave of a specific frequency strongly.

[0028] In addition, in this invention, it does not limit especially about how a splash modulating signal is acquired. For example, this splash modulating signal may be supplied from the outside of a PLL circuit. Or this splash modulating signal may be generated inside a PLL circuit. When generating inside, like sign 7A of drawing 1, a counting-down circuit DIV may newly be formed in the interior of a PLL circuit, this counting-down circuit DIV may generate a splash modulating signal, and a loop filter LF may be supplied. Or in order to carry out dividing of the clock signal by which dividing was already carried out with the counting-down circuit DIV of a sign 7 as still more nearly required, the counting-down circuit DIV formed like sign 7B may generate a splash modulating signal, and a loop filter LF may be supplied.

[0029] Here, it is premised on acquiring the splash modulating signal of the same frequency from clock signal OUTCLK of the same frequency. In this premise, compared with the counting-down circuit DIV of sign 7A, only the part which also uses both the counting-down circuits DIV of a sign 7 has few dividing, and, as for the counting-down circuit DIV of sign 7B, an element number's decreases.

[0030] In addition, especially the frequency of a splash modulating signal is not limited in this invention. This frequency can also be determined in consideration of the loop gain of the feedback control of clock signal OUTCLK in the whole PLL circuit. Moreover, especially the voltage ratio of the signal from the charge pump CP after addition by the depth of modulation LF by this splash modulating signal, i.e., a loop filter, and a splash modulating signal is not limited. In addition, in this operation gestalt, when the frequency of a splash modulating signal is made into (1/1000) of the frequencies of clock signal OUTCLK, it is checked that the good effectiveness of reduction of the adverse effect by EMI is acquired.

[0031] Drawing 4 is a graph which shows the spectrum of clock signal OUTCLK.

[0032] In this drawing, an axis of abscissa shows the normalized frequency which sets the target oscillation frequency of clock signal OUTCLK to 1. The spectrum of this operation gestalt which used the thing of drawing 2 and with which this invention was applied is shown to the loop filter LF of the PLL circuit of drawing 1 by the alternate long and short dash line. The spectrum of the example of a comparison to this operation gestalt which used the thing of drawing 3 for the loop filter LF of the PLL circuit of drawing 1 is shown by the two-dot chain line. In addition, an axis of ordinate is the power of a signal which normalized the peak of the spectrum in this example of a comparison as 1.

[0033] With this operation gestalt, the peak power of a spectrum is below (1/3) to the example of a comparison so that clearly from this drawing. Thus, with this operation gestalt, this invention is effectively applicable. Therefore, the adverse effect by EMI can be reduced by reducing EMI peak energy.

[0034]

[Effect of the Invention] According to this invention, the adverse effect by EMI can be reduced by reducing EMI peak energy. First, the EMI peak energy radiated from the PLL circuit concerned itself at the time of stationary actuation of a PLL circuit can be reduced. Furthermore, since this PLL circuit is the supply source of the clock signal used in many circuits, the clock frequency of the signal of each part is also rocked and the spectrum of the power of these signals is distributed in other circuits which operate with the clock signal of this PLL circuit, reduction of the EMI energy of the whole system is achieved effectively.

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram showing the configuration of a fundamental PLL circuit

[Drawing 2] The circuit diagram of the loop filter of the important section in the PLL circuit of an operation gestalt where this invention was applied

[Drawing 3] The circuit diagram of the example of a comparison of the above-mentioned loop filter

[Drawing 4] The graph which shows the spectrum of the clock signal which the PLL circuit of said operation gestalt outputs

[Description of Notations]

5 --- Phase frequency comparison circuit

PFD --- Phase frequency comparator

CP --- Charge pump

LF --- Loop filter

VCO --- Voltage controlled oscillator

DIV --- Counting-down circuit

R1, R2 --- Resistance

C --- Capacitor

[Translation done.]